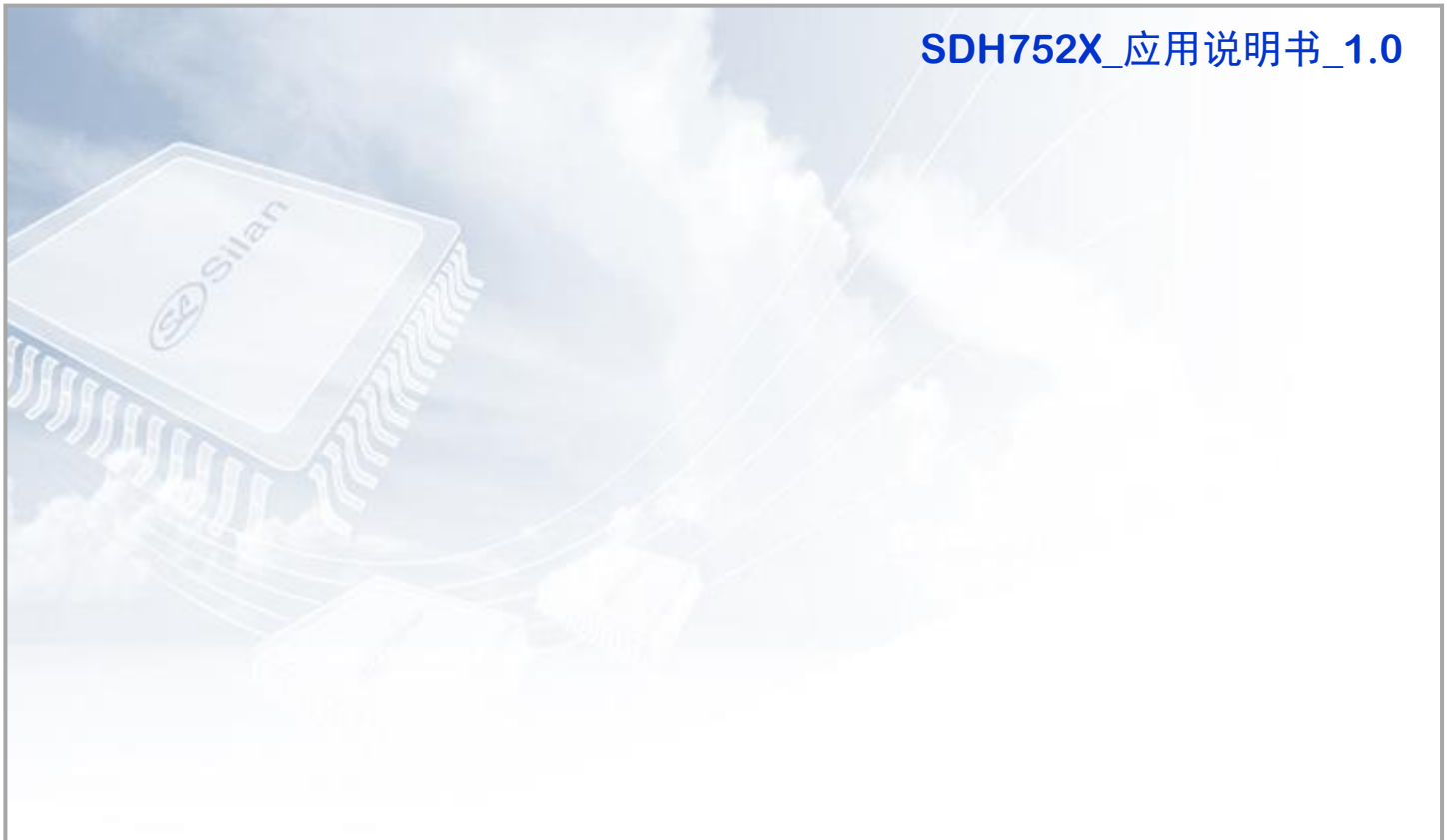


SDH752X
应用说明书

杭州士兰微电子股份有限公司
地址：杭州市黄姑山路 4 号
邮编：310012
主页：www.silan.com.cn

重要注意事项：

1. 士兰保留本文档的更改权，恕不另行通知。
2. 客户在下单前应获取我司最新版本资料，并验证相关信息是否最新和完整。产品应用前请仔细阅读应用说明书，包括其中的**其他设计注意事项**。
3. 我司产品属于消费类电子产品或其他民用类电子产品。
4. 在应用我司产品时请不要超过产品的最大额定值，否则会影响整机的可靠性。任何半导体产品特定条件下都有一定的失效或发生故障的可能，买方有责任在使用我司产品进行系统设计、试样和整机制造时遵守安全标准并采取安全措施，以避免潜在失败风险可能造成人身伤害或财产损失情况的发生。
5. 购买产品时请认清我司商标，如有疑问请与本公司联系。
6. 产品提升永无止境，我公司将竭诚为客户提供更优秀的产品！
7. 我司网站 http: //www.silan.com.cn

目录

1. 芯片简介 2
   1.1. 概述 2
   1.2. 管脚排列和管脚定义 2
      1.2.1. SDH7520 2
      1.2.2. SDH7524/3/2S 3
   1.3 SDH752X 系列电路分类信息 3
2. 内部框图和典型应用原理图 4
   2.1. SDH7520——单封电路 4
   2.2. SDH752X——合封电路 5
3. 内部功能介绍 6
   3.1. 启动&供电模块 6
      3.1.1. 启动 6
      3.1.2. 供电 6
      3.1.3. 补充供电 6
   3.2. 输出恒压和输出 OVP 保护 6
   3.3. CS 采样模块 7
   3.4. 过零检测模块 7
   3.5. 过温保护保护功能 7
4. SDH752X 的应用实例 8
   4.1. 电感设计 8
      4.1.1. 电感峰值电流计算 8
      4.1.2. 电感量的计算 8
      4.1.3. 电感匝数和线径设计 9
   4.2. 采样电阻设计 9
   4.3. 启动电容设计 10
   4.4. 外供电电阻设计 10
   4.5. FB 分压电阻的设计 11
5. 设计调试注意要点 12
   5.1. PCB 设计 12

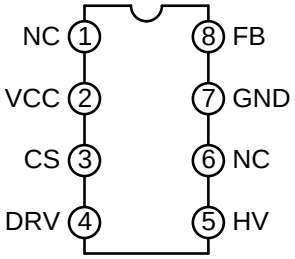
1. 芯片简介

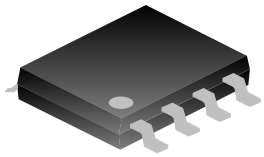
1.1. 概述

SDH752X 是一款高性能、临界导通模式的功率因素校正（PFC）控制器，主要用于升压 BOOST 拓扑结构。SDH752X 具有外围简单（省 COMP 容和辅助绕组）、低功耗、输出过压保护、VCC 欠压保护、VCC 钳位保护、过温保护等特点。

1.2. 管脚排列和管脚定义

1.2.1. SDH7520





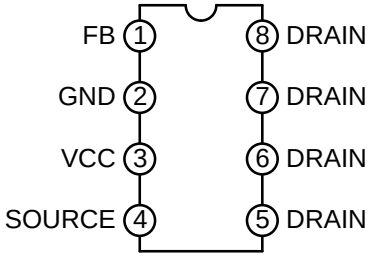
SOP-8-225-1.27

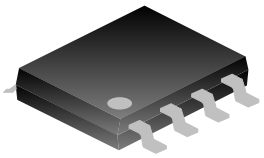
图 1. SDH7520 管脚排列图和封装示意图

表 1. SDH7520 管脚定义

管脚号	管脚名称	I/O	功能描述
1、6	NC	--	空脚
2	VCC	I/O	芯片供电脚
3	CS	I	电流采样脚
4	DRV	O	MOS 管栅驱动脚
5	HV	I	高压启动和供电脚
7	GND	I/O	地脚
8	FB	I	输出电压反馈信号脚

1.2.2. SDH7524/3/2S





SOP-8-225-1.27

图 2. SDH752X 合封管脚排列图和封装示意图

表 2. SDH752X 合封管脚定义

管脚号	管脚名称	I/O	功能描述
1	FB	I	输出电压反馈信号脚
2	GND	I/O	地脚
3	VCC	I/O	芯片供电脚
4	SOURCE	I/O	电流采样脚和 MOSFET 的源端
5 6 7 8	DRAIN	I/O	高压启动和供电脚以及 MOSFET 的漏端

1.3 SDH752X 系列电路分类信息

表 3. SDH752X 电路分类

芯片名	内置 MOS 耐压	内置 MOS 导通电阻	封装形式	两级方案最大功率
SDH7522S	500V	6Ω	SOP8	25W
SDH7523S	500V	3Ω	SOP8	40W
SDH7524S	500V	2Ω	SOP8	50W
SDH7520	/	/	SOP8	80W

2. 内部框图和典型应用原理图

2.1. SDH7520——单封电路

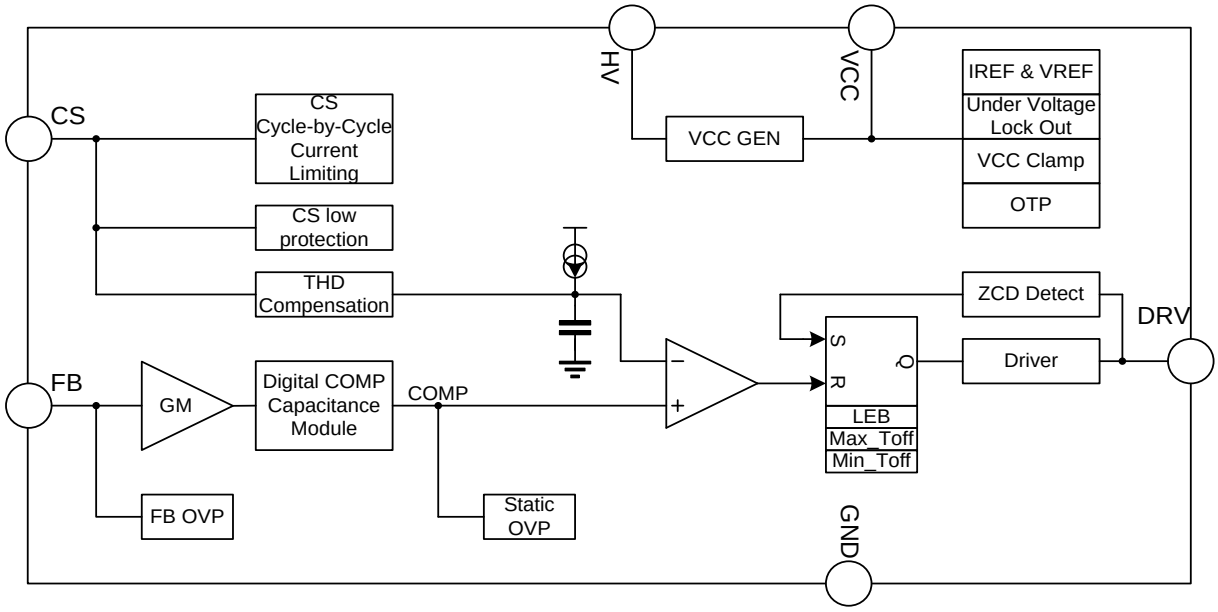


图 3. SDH7520 内部框图

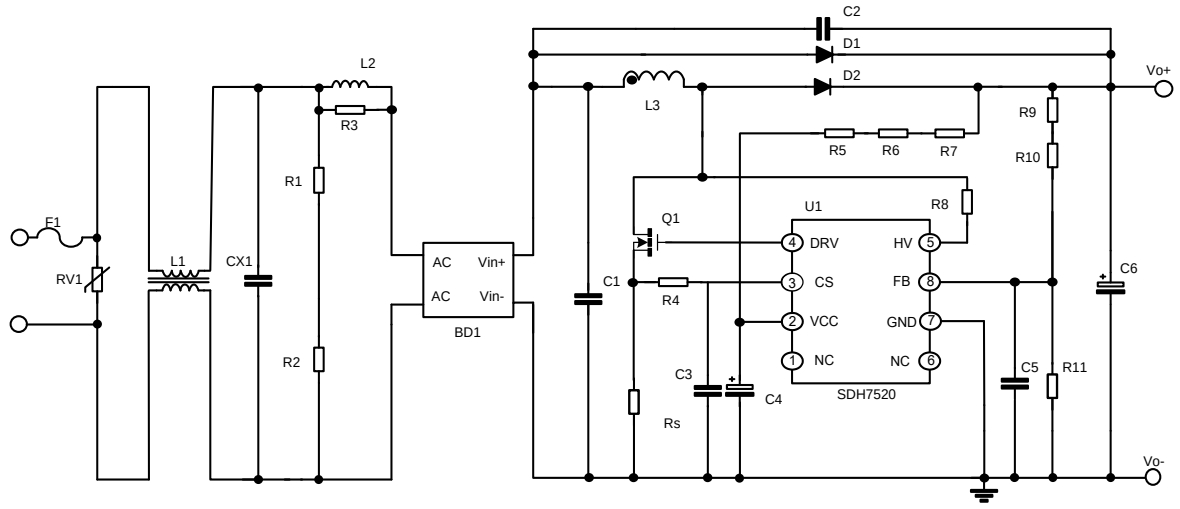


图 4. SDH7520 简易应用原理图

2.2. SDH752X——合封电路

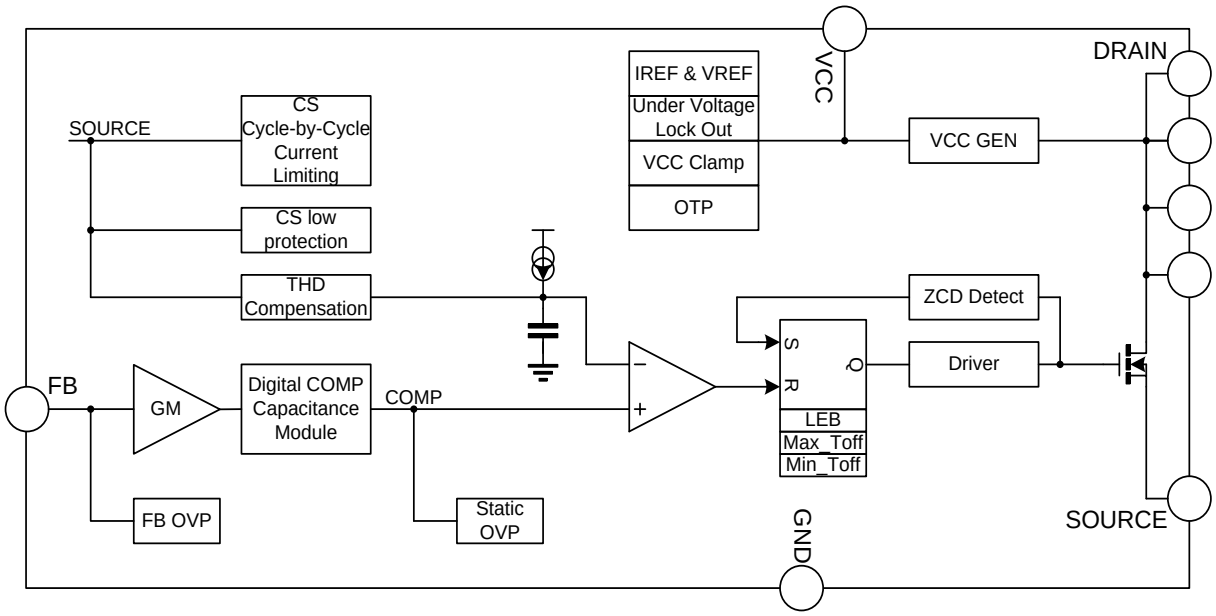


图 5. SDH752X 合封电路内部框图

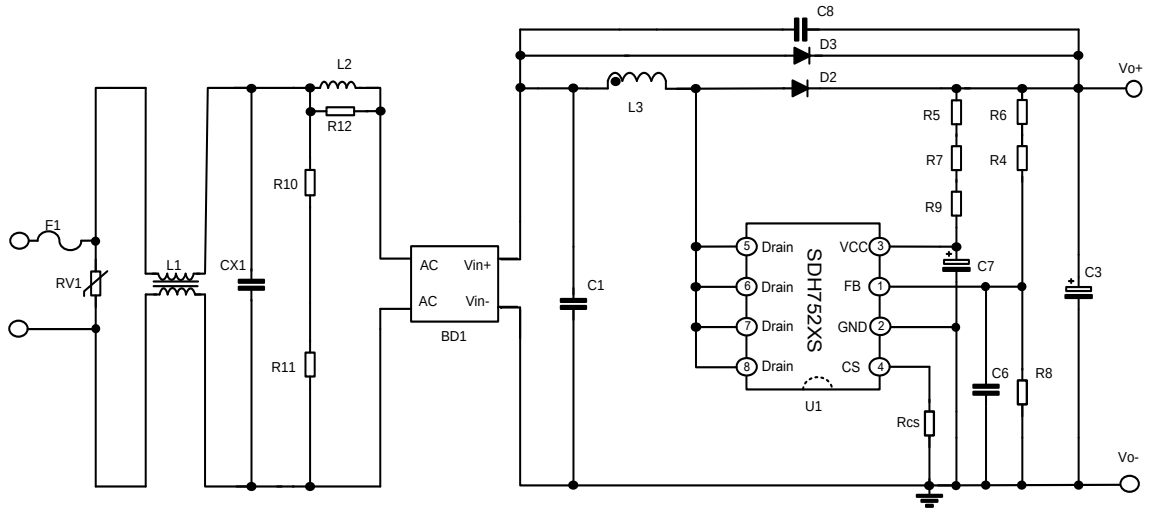


图 6. SDH752X 合封电路简易应用原理图

3. 内部功能介绍

3.1. 启动&供电模块

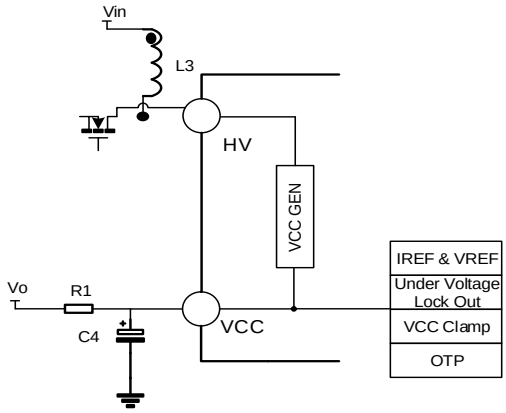


图 7. SDH7520 高压启动&供电模块

3.1.1. 启动

如图 7 所示，系统上电后，输入电压通过 HV 脚的内部高压 JFET 管给 VCC 电容充电，当 VCC 电压达到芯片启动阈值 12.6V 左右时，芯片在等待 12mS 左右后驱动信号开始输出。在驱动开关过程中若 VCC 掉至 11.5V 以下，则 JEFET 继续对 VCC 供电。启动过程中当 VCC 电压掉至于 8.2V，触发 VCC 欠压保护，关闭驱动，复位进行重启。

3.1.2. 供电

合封 MOS 的 HV 端与 MOS 的 Drain 连接在一起，在正常工作的时候 JFET 供电只有在 MOS 关断时进行，不是整个开关周期持续供电。当 Vcs 低于 0.1V，JFET 供电关闭,导致输入电压谷底时 VCC 会明显下拉，正常工作状态，要让 VCC 电容能维持保证 VCC 电压不掉到低于 UVLO 电压即可。所以，为避免 VCC 掉至 UVLO 以下，VCC 容不能太小。

3.1.3. 补充供电

JFET 供电虽然省外围，但导致芯片的温升变高。在电路设计时，需要为 VCC 增加外供电电路，尽量让 VCC 电压在高于 11V，关闭 JFET 供电，从而降低芯片温升。

3.2. 输出恒压和输出 OVP 保护

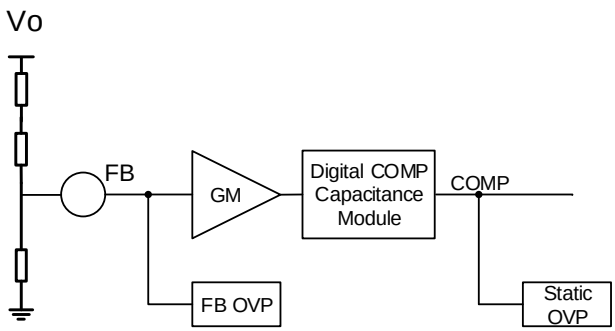


图 8. FB 引脚应用示意图

如图 8 所示，输出电压由 FB 脚通过分压电阻采样，与内部基准电压比较，并将误差放大信号输出为 Vcomp。通过的内部的省 COMP 电容技术，即可实现优异的功率因数校正和动态调整特性。芯片通过调节 Vcomp 电压，改变导通时间实现输出电压的稳定。输出过压保护功能也是由 FB 脚采样，当 FB 脚电压达到 2.7V 时，系统触发 FB 过压保护，关断驱动信号，此时输出电压开始下降，当 FB 电压低于 2.6V，电路退出 FB 过压保护状态，电路重新开始工作。

3.3. CS 采样模块

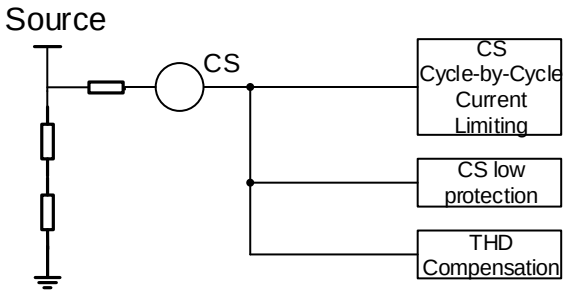


图 9. CS 采样模块

芯片逐周期检测电感峰值电流，如图所示，通过 CS 脚采样 CS 电阻电压与限峰值电压比较，当 CS 电压达到限峰值阈值，关闭 MOS 驱动信号。

电感限峰值电流计算公式如下：

$$I_{PK}=1000/R_{CS}(mA)$$

其中，R_{CS} 为电流采样电阻阻值，单位 Ω。

3.4. 过零检测模块

过零检测模块通过检测芯片内部 GATE 振荡（DRAIN 振荡通过电容耦合至 GATE）下降沿与过零比较器的过零基准进行比较，当过零振荡深度 > 过零基准，比较器翻转，GATE 输出高电平。

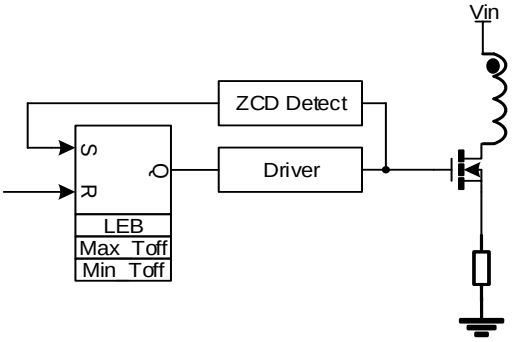


图 10. 过零检测模块

3.5. 过温保护保护功能

当芯片结温超过 160°C，会触发过温保护，芯片停止工作，当结温低于 145°C 时，芯片恢复工作。

4. SDH752X 的应用实例

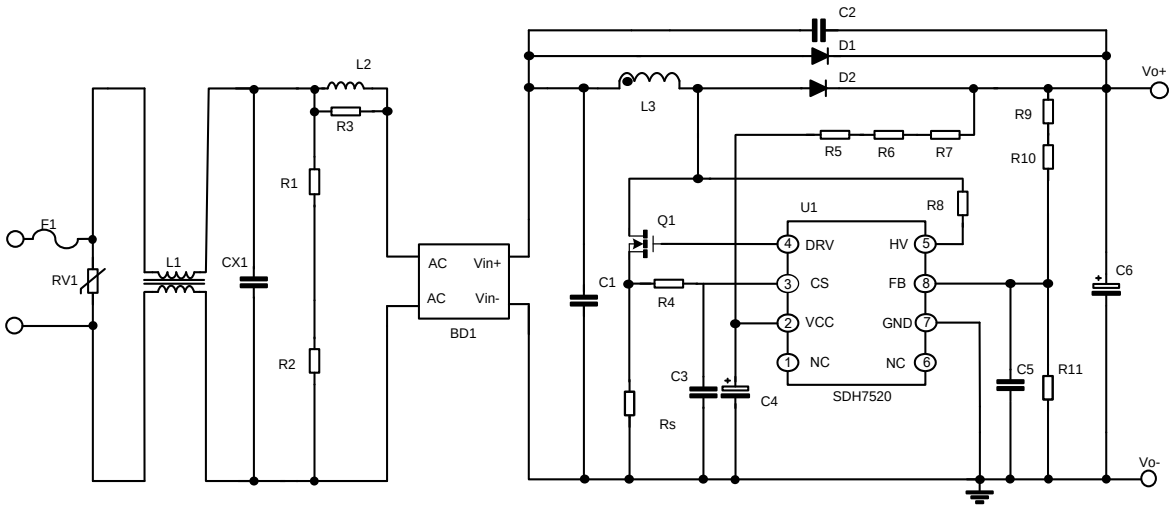


图 11. SDH7520 原理图

4.1. 电感设计

定义以下变量：

V_O：输出电压；

I_O：输出电流；

V_{in}：输入电压；

η：系统效率；

f：工作频率

4.1.1. 电感峰值电流计算

电感电流随时间变化的函数为：

$$I_{PK}(\theta) = \frac{2\sqrt{2}V_0 I_0}{\eta \times V_{in}} |\sin\theta t|$$

所以电感电流最大值出现在输入电压最低的峰值处，即$|\sin\theta t| = 1$时：

$$I_{P_max} = \frac{2\sqrt{2}V_0 I_0}{\eta \times V_{in}}$$

4.1.2. 电感量的计算

$$L = \frac{\sqrt{2}V_{in}\left(V_0 - \sqrt{2}V_{in}\right)}{I_{p(pk)_max} f V_0} = \frac{\eta V_{in}^2\left(V_0 - \sqrt{2}V_{in}\right)}{2V_0^2 I_0 f}$$

系统峰值工作频率与输入电压关系如下图 12。一般 AC176-AC265V 的应用，只需选择在输入电压最高时设置系统的低压最低工作频率即可。考虑到 Tonmax 的限制高压最低频率设置在 30kHz 即可，由此得到最大电感量为：

$$L_m = \frac{\eta V_{in_max}^2 \left(V_0 - \sqrt{2}V_{in_max}\right)}{2V_0^2 I_0 f_{min}}$$

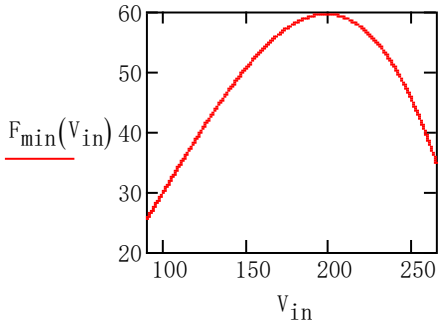


图 12. 峰值工作频率&输入电压关系曲线

4.1.3. 电感匝数和线径设计

$$N \geq \frac{L_m(\mu H) I_{p_max}}{B_{max} A_e(mm^2)}$$

其中，Ae 为磁芯有效截面积；

Bmax 为最大磁通密度。

电感有效电流和电路密度计算可根据如下：

$$I_{l_rms} = \frac{I_{p_max}}{\sqrt{6}}$$

$$j = \frac{I_{l_rms}}{\pi\left(\frac{d}{2}\right)^2}$$

其中，d 为绕组线径。

4.2. 采样电阻设计

电流采样电阻用于 CS 较检测电感电流峰值电压，与内部基准比较，控制 MOS 管关断。采样电阻设计的原则就是确保采样得到的峰值电压小于内部基准电压，确保 IC 没进入限峰值工作。

原边峰值电流可表示为：

$$I_{pk} = \frac{2\sqrt{2}V_0 I_0}{\eta \times V_{in}}$$

采样电阻的计算按如下即可：

$$R_{CS} < \frac{1}{I_{pk}} = \frac{\eta \times V_{in}}{2\sqrt{2}V_0 I_0}$$

需要注意 CS 限流点裕量留的太大，会影响 THD，以及开机电流过冲过大；建议最低输入电压下系统适当进入限峰

值工作模式，即设置在如下范围内。

$$0.7 * \frac{\eta \times V_{in}}{2\sqrt{2}V_0 I_0} < R_{CS} < 0.9 * \frac{\eta \times V_{in}}{2\sqrt{2}V_0 I_0}$$

4.3. 启动电容设计

启动电容使用铝电解电容或者陶瓷电容均可，电容容值选取主要是确保谷底供电不足时 VCC 电压不会降低到 8.2V 左右，否则芯片会重启。VCC 容值越大，VCC 电压跌落时间越短，跌落幅度越小。不同的供电方式，VCC 容的取值也有差异，一般设计取值在 1μF-22μF。

4.4. 外供电电阻设计

外供电方式推荐高压供电&辅助供电这两种。

1、 Vbus 电压或整流桥后的高压取电供电：

Rvcc 预设值在 500K-1M 左右。

取电大致可分以下两种：

1）、供电电阻接输出 400Vdc

优点：VCC 供电电流稳定，不受高低压输入影响

缺点：会导致高低压下 VCC 电压相差较大。损耗也较大，对空载功耗及效率均会产生影响

2）、供电电阻接桥后输入

优点：相对前者此时在供电电阻上的损耗略有减少

缺点：VCC 供电电流不够稳定

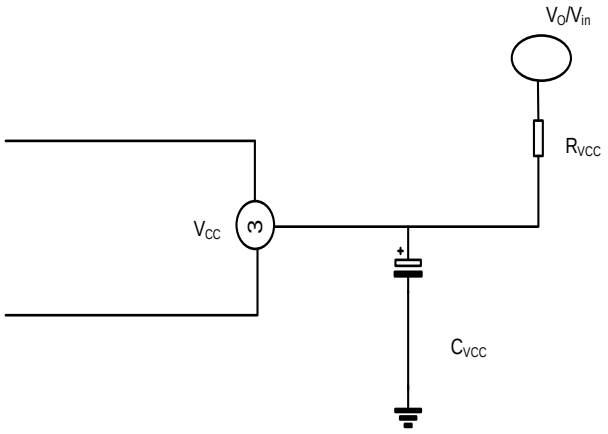


图 13. 高压供电

2、 辅助绕组供电

如下图 14 所示从后级辅助绕组供电，Rvcc 预设值在 1K-10K 之间。

优点：SDH752X 可省掉高压供电电阻，可降低损耗

缺点：不利于输出极宽负载范围的应用；

所以，对于输出宽压应用，在低负载输出时，设计裕量不足，会出现 VCC 供电不足的现象。

外供电电阻的选取上，主要是要为了保证满载 VCC>12V，同时保证高压最小负载状态 VCC 不欠压。从而减少从内部 JFET 管供电，降低芯片损耗和温升，并保证整机性能稳定。

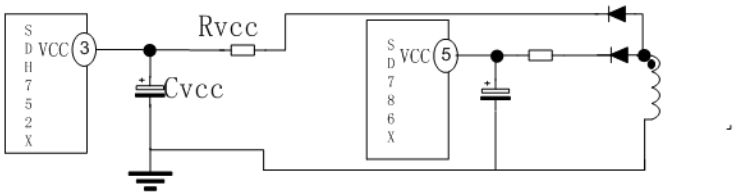


图 14. 辅助绕组供电

4.5. FB 分压电阻的设计

FB 的分压电阻设置考虑以下几点：

1、 输出入耐压（V_{Cout}）限制，V_{OVP}尽量控制在 450V 以下，因此需要 V_{OUT}≤420V；

2、 输入最大电压（$VA_{C_IN_MAX}$）&输出纹波（V_{PK}）限制，$V_{AC_IN_MAX}*\sqrt{2}$ <V_{OUT}-V_{PK}/2，建议 V_{OUT}＞400V。

然后按如下公式设置：

$$V_{OUT}=(R_9+R_{10}+R_{11})/R_{11}x2.5V$$

其中，

R_9 & R_{10} 是 FB 采样的上分压电阻；

R_{11} 是 FB 采样的下分压电阻；

V_{OUT} 是输出电压；V_{OVP} 是输出电压过压保护点

需要注意下分压电阻的取值,建议保持在 5.1-10K 左右，以提高系统效率。

5. 设计调试注意要点

5.1. PCB 设计

在设计 SDH752X 的 PCB 时，需要遵循以下指南：

1. VCC 的电容要尽量紧靠 VCC 和 GND 引脚；
2. FB 采样电阻尽量靠近 FB 引脚，下分压电阻到 GND 脚线尽量短，FB 节点尽量远离高压节点和干扰源；
3. 采样电阻的功率地线要尽量粗，并靠近 GND 脚；
4. CS 引脚与采用电阻的功率地线尽量短，远离干扰源；
5. 功率环路尽可能的小，有利于 EMI；
6. 合封芯片的 Drain 端覆铜可稍加大，有利于芯片散热。

产品名称：	SDH7520	文档类型：	应用说明书
版　　权：	杭州士兰微电子股份有限公司	公司主页：	http: //www.silan.com.cn

版　　本：1.0

修改记录：

1. 正式版本发布